

⑫ 公表特許公報 (A)

平5-509184

⑬ 公表 平成5年(1993)12月16日

⑭ Int. Cl. 5 G 06 F 15/80 12/08 15/16	識別記号 3 9 0	府内整理番号 H 9190-5L 7608-5B 9190-5L	審査請求未請求 予備審査請求有	部門(区分) 6 (3)
--	---------------	--	--------------------	--------------

(全9頁)

⑭ 発明の名称 並列プロセッサー/アレイのための仮想処理アドレス・命令ジェネレーター

⑯ 特 願 平3-510619
⑯ ⑯ 出 願 平3(1991)5月14日⑯ 翻訳文提出日 平4(1992)11月30日
⑯ 国際出願 PCT/US91/03345
⑯ 國際公開番号 WO91/19268
⑯ 國際公開日 平3(1991)12月12日

優先権主張 ⑯ 1990年5月29日⑯米国(U.S.)⑯529,947

⑭ 発明者 ジャクソン、ジェームス、エイチ
⑭ 出願人 ウエーブトレーサー インコーポレイテッド
⑭ 代理人 弁理士 秋元輝雄
⑭ 指定国 A T(広域特許), A U, B E(広域特許), C A, C H(広域特許), D E(広域特許), D K(広域特許), E S(広域特許), F R(広域特許), G B(広域特許), G R(広域特許), I T(広域特許), J P, L U(広域特許), N L(広域特許), S E(広域特許)

最終頁に続く

請求の範囲

1. 選択された1つの問題次元に含まれるノードの数より少ない数のプロセッサー/セルを行するプロセッサー/アレイのための、プロセッサー/セル命令とそれに対応するプロセッサー/セル物理メモリーアドレスを生成することを目的とした、仮想処理命令・アドレスジェネレーターを備えた、以下のものからなる並列処理システム：

前もって決められた数の物理プロセッサー/セルを有する1つのプロセッサー/アレイ：

解かれるべき1つの問題次元のサイズを構成する数の問題ノードを提供するための手段：

問題ノード数を提供するための手段と前もって決められた数の物理プロセッサー/セルに応答して、この前もって決められた数の物理プロセッサー/セルの各々に伴うべき仮想プロセッサーの数を確定するための手段：

前記の前もって決められた数の物理プロセッサー/セルの各々に伴うべき仮想プロセッサーの数を確定するための手段に応答して、物理プロセッサー/セルの各々に伴うべき仮想プロセッサーのベースメモリーアドレスに対応する1つの物理プロセッサー/セルメモリーアドレスを確定するための手段：

1つまたは1つ以上のプロセッサー/セル命令を提供するための手段：

各オペランドを前記のプロセッサー/セルのアレイによって処理するための、1つの仮想オペランドメモリーアドレスを提供するための手段：

仮想オペランドメモリーアドレスを提供するための前記の手段と前記の仮想プロセッサーのベースメモリーアドレスに応答して、1つの対応する仮想プロセッサー/セルメモリーアドレスで仮想オペランドメモリーアドレスを加算し、処理されるべきオペランドの1つの物理プロセッサー/セルメモリーアドレスを生成するための手段： ならびに

処理されるべきオペランドの物理アドレスを発生させるための前記の手段および1つまたは1つ以上のプロセッサー/セル命令を提供するための前記の手段に応答して、プロセッサー/アレイの各プロセッサー/セルに渡すべきアドレス再配置プロセッサー/セル命令を発生させるための対応する1つの物理プロセッサー/セル

メモリーアドレスをもった1つのプロセッサー/セル命令を生じさせるための手段

2. 請求項1のシステムにおいて、プロセッサー/セルアレイに、多次元アレイを構成するように相互接続された複数のプロセッサー/セルが含まれるもの

3. 請求項2のシステムにおいて、多次元アレイに1つの3次元アレイが含まれるもの

4. 請求項1のシステムにおいて、1つの問題次元のサイズを構成する問題ノード数を提供するための手段に、前置型プロセッサーが含まれるもの

5. 請求項1のシステムにおいて、各仮想プロセッサーのベースメモリーアドレスに対応する1つの物理プロセッサー/セルメモリーアドレスを確定するための手段が、オペランドがそこから取られるべき原始仮想プロセッサーのベースメモリーアドレスと、オペランドがそこに記憶されるべき宛先仮想プロセッサーのベースメモリーアドレスを確定するもの

6. 請求項1のシステムにおいて、プロセッサー/セル命令の各々に、少なくとも1つのプロセッサー/セルアドレスセグメントと1つのプロセッサー/セルコントロールセグメントが含まれるもの

7. 請求項1のシステムにおいて、対応する1つの物理プロセッサー/セルメモリーアドレスをもった1つのプロセッサー/セル命令を生じさせるための手段が、その物理プロセッサー/セルメモリーアドレスを、1つの対応するプロセッサー/セル命令のアドレスセグメントの値に加算するもの

8. 選択された1つの問題次元に含まれるノードの数より少ない数のプロセッサー/セルを有する多次元プロセッサー/アレイのための、プロセッサー/セル命令とそれに対応するプロセッサー/セル物理メモリーアドレスを生成することを目的とした、仮想処理命令・アドレスジェネレーターを備えた、以下のものからなる多次元並列処理システム：

少なくとも1つの3次元アレイを形成するように相互接続された、前もって決められた数の物理プロセッサー/セルを有する1つのプロセッサー/アレイ：

解かれるべき1つの問題次元のサイズを構成する数の問題ノードを提供するための手段：

問題ノード数を提供するための手段と前もって決められた数の物理プロセッ

セルに応答して、この前もって決められた数の物理プロセッサーセルの各々に伴うべき仮想プロセッサーの数を確定するための手段：

前記の前もって決められた数の物理プロセッサーセルの各々に伴うべき仮想プロセッサーの数を確定するための手段に応答して、物理プロセッサーセルの各々に伴う各仮想プロセッサーのベースメモリーアドレスに対応する1つの物理プロセッサーセルメモリーアドレスを確定するための手段：

プロセッサーセル命令の各々に少なくとも1つのプロセッサーセルアドレスセグメントと1つのプロセッサーセルコントロールセグメントが含まれるような状態で、1つまたは1つ以上のプロセッサーセル命令を提供するための手段：

各オペランドを前記のプロセッサーセルのアレイによって処理するための、1つの仮想オペランドメモリーアドレスを提供するための手段：

仮想オペランドメモリーアドレスを提供するための前記の手段と前記の仮想プロセッサーのベースメモリーアドレスに応答して、1つの対応する仮想プロセッサーベースメモリーアドレスで仮想オペランドメモリーアドレスを加算し、処理されるべきオペランドの1つの物理プロセッサーセルメモリーアドレスを生成するための手段： ならびに

処理されるべきオペランドの物理アドレスを発生させるための前記の手段および1つまたは1つ以上のプロセッサーセル命令を提供するための前記の手段に応答して、多次元プロセッサーアレイの各プロセッサーセルに流すべきアドレス再配置プロセッサーセル命令を発生させるための対応する1つの物理プロセッサーセルメモリーアドレスをもった前記のプロセッサーセルアドレスセグメントを加算するための手段

名称：

並列プロセッサー・アレイのための仮想処理アドレス・命令ジェネレーター

発明の分野：

本発明はコンピューターシステム、そしてより詳細には並列処理コンピューターシステムに関するものである。

発明の背景：

電場と磁場、液体の流れ、音波、熱の流れなどの自然現象の、ある与えられた時刻における状態は、3次元的、空間的に分布するデータとして、互いに直交する3つの座標軸の方向における空間的位置が指標をもって示されるところの、1つまたは1組の数によって表現される。場合によっては、さらに第4の次元として、「時間」も考慮しなければならない。これまで科学者やその他のコンピューター・ユーザーは、ボラソン方程式やマックスウェル方程式など、空間的に分布するデータにかかる偏微分方程式を解こうとする場合に、十分なデータ処理能力を享受することができなかつた。これは、従来技術によるプロセッサーシステムとプロセッサー・アレイが、2次元構成に限定されていたことによるものである。

純粹に1次元アレイまたは2次元アレイを用いて行う、3次元方程式を解くための従来技術による試みは、プロセッサーではなくメモリーに記憶させなければならない空間データの、第2または第3の次元への指標またはアドレスポインターを計算するために、大量的「プロセッサー・オーバーヘッド」を必要とする処理システムを生み出した。たとえば伝統的なシングルプロセッサー型コンピューターの場合、X次元とZ次元の指標を計算するには、最大で3回の乗算と2回の加算を実行しなければならない。2次元コンピューターを使った場合には、X軸とY軸は直接的にアクセスできるが、Zポインターはやはり計算しなければならず、そしてこの計算のために依然として最大で1回の乗算と加算が必要である。

3次元データを従来技術によって取り扱おうとする場合には、このほか、米国特許No. 4,814,973で開示されているような相互結合配列もまた用

いられる。この特許では、3次元プロセッサー・アレイの運動に似せてプロセッサーセル間でデータの切り替えを行うよう、ルーターに命令を与えることができるようになっている。しかしながらルーターは、データを各種プロセッサーの間で移動させるために、多量のプロセッサー・オーバーヘッドを必要とする。またこれに加えて、スイッチング機能を遂行するための支援制御回路も必要である。システムループ・バットまたは帯幅は、ルーターオーバーヘッドによってかなり粗なわれ、またシステムのコストと信頼性も、ルーターと支援制御回路を含めなければならないために、やはり大きく損なわれる。

さらにまた、並列処理問題の多くは、プロセッサー・アレイの利用可能なプロセッサーセル数を上回る数の問題ノードを必要とする。こうした状況においては、ある与えられたプロセッサー・アレイに問題空間を合致させるための調整を、応用プログラマーに行わせることは回避するのが望ましい。むしろ応用プログラマーは、プロセッサー・アレイのサイズの束縛から切り離し、問題空間のサイズのみを指定すればよいという状況にすべきである。さらにまた、プロセッサー・アレイのサイズが異なる各種のプロセッサーシステム間での共用性を確保するために、プロセッサー・アレイがどのようなサイズのものであっても、並列処理プログラムをランサセラルが可能でなければならない。

発明の要約：

本発明は、問題空間のノード数より少ない数のプロセッサーセルを有しているにも差しえない多次元プロセッサー・アレイなどの並列処理アレイに、プロセッサー命令を生成するための、仮想処理アドレス・命令ジェネレーターを含む並列処理システムを提供するものである。

好みの1つの実施例においては、上記処理システムは各プロセッサーセルのメモリーをいくつかの寄り部分に分割し、そしてこの分割された夫々に1つの問題空間を対応させる。つぎに命令ジェネレーターは、与えられた問題空間の各部分空間に対して1枚きのプロセッサーセル命令を生じさせ、そしてこの命令シーケンスのそれぞれについて、該当するアドレス変更がアドレス・ジェネレーターによって与えられる。このような仕組みにより、該並列処理アレイは、プロセッサー・アレイに存在するプロセッサーセル数より多い数の問題ノードを有する問

題を、メモリースワッピング無しで解くことができる。

図面の説明：

上記ならびに上記以外の本発明の特徴は、以下に述べる説明を添付図面を参照しつつ読み通すことにより、一層よく理解されるであろう。添付図面において、

図1は、本発明にもとづく、コントロールプロセッサーと仮想処理アドレス・命令ジェネレーターを有する多次元並列処理システムとプロセッサー・アレイの概要を示す。

図2は、本発明にもとづくアドレス・命令ジェネレーターの一層詳細なブロック図である。

図3は、図1に示すコントロールプロセッサーの一層詳細なブロック図である。

図4は、図2に示すオペランドアドレス・ジェネレーターの一層詳細なブロック図である。

図5は、本発明にもとづくマイクロコードメモリーアドレス・ジェネレーターと回路オペランドビットエクストラクターの一層詳細なブロック図である。

図6は、本発明にもとづく仮想処理アドレス・命令ジェネレーターのタイミング図である。

図7Aと図7Bは、物理・仮想プロセッサーセルメモリーの分割を示す。

図8は、図2に示すアドレス再配置回路の一部分をなすアドレス再配置コントロールレジスターのブロック図である。

図9と図10は、図2に示すアドレス再配置回路の追加回路にかかる該略図である。

図11Aと図11Bは、プロセッサー間通信命令の例を示す。また、

図12は、図2に示すナノ命令・テンプレート・ジェネレーター回路の一層詳細なブロック図である。

発明の詳細な説明：

図11Aと図11Bは、複数のプロセッサーセルを有する、本発明にもとづく多次元プロセッサーシステムを示す。該プロセッサーシステムには、小型コンピューターシステムインターフェース(SCSI) 106などのインターフェースによつ

特表平5-509184 (3)

てプロセッサーコントローラ104に接続されてコマンドブリプロセッサーとして機能するところの、適切な前置型プロセッサー102が含まれる。好みの実施例においては、この前置型プロセッサー102として、*Uninx™*オペレーティングシステムの制御のもとに動作する通常のコンピューターを用いる。かかる前置型プロセッサーの一例は、*Sun Microsystems*社から入手することが可能な*Sun*ワークステーションである。前置型プロセッサー102には、通常のCコンパイラと、C言語への並列処理拡大体を用いて書き込みがなされたプログラムをシステムがコンパイルし実行することを可能にする。前記Cコンパイラのためのプリプロセッサーが含まれる。

プロセッサーコントローラ104は、前置型プロセッサー102とプロセッサーアレイ108の中間で機能を提供する。このプロセッサーコントローラ104には、コントロールプロセッサープログラムメモリー112に記憶されたコントロールプロセッサープログラムの制御のもとに動作するコントロールプロセッサー110が含まれる。このような並列処理システムの一例は、いずれも本明細書で引用しているところの、同時既統米特許第No. 07/530,027(名称“MULTI-DIMENSIONAL PROCESSOR SYSTEM AND PROCESSOR ARRAY WITH MASSIVELY PARALLEL INPUT/OUTPUT”)および同No. 07/529,962(名称“DIMENSIONALLY RECONFIGURABLE MULTI-DIMENSIONAL PROCESSOR ARRAY”)に開示されているとおりである。

前置型プロセッサー102はコントロールプロセッサー110と連絡し、選択されたコマンドに応じて該コントロールプロセッサーにコマンドを送り、かつまた該コントロールプロセッサーからのデータを読み取る。通常、各々のコマンドは、余数や乗算などのワード・オリエンテッド型の単項演算または2項演算を記述する。コントロールプロセッサー110はかかるコマンドを判定し、そしてそれらをマクロ命令と呼ばれる1統きのワード・オリエンテッド型のコマンドとしてリフォーマットする。マクロ命令はアドレス・命令ジェネレーターに転送される。そしてこのアドレス・命令ジェネレーターは、シリアルライザ内に配置

されたレジスターを初期設定することにより、シリアルライザ120と命名したものになる。シリアルライザ120はマイクロドード122の制御のもとで動作し、そして各々のワード・オリエンテッド型マクロ命令を、ナノ命令と呼ばれる1統きのビット・オリエンテッド型コマンドに変換する。このビット・オリエンテッド型コマンドは、それぞれ、メモリー・アドレスビットとコントロールビットからなるプロセッサー・セル命令である。該シリアルライザは、該シリアルライザが生成させるナノ命令の各シーケンスを、プロセッサー・アレイ108の全てのプロセッサーに伝送する。ナノ命令メモリー124には、シリアルライザ120がそれにアクセスしてプロセッサー・アレイのためのナノ命令を形成するところの、ナノ命令テンプレートの表が含まれる。

コントロールプロセッサー110はシリアルライザ120との間で直接的にデータの受渡しを行うが、一方、西方向エッジFIFO126を経由してプロセッサー・アレイ108との間でもデータの受渡しを行う。同様にして、前置型プロセッサー102との間の通信は小型コンピューターシステムインターフェース(SCSI)106を介してなされる。コントロールプロセッサー110はプロセッサー・アレイ108を初期設定するためのコマンドを受け取り、そしてプロセッサー・アレイ、前置型プロセッサー、ならびに、構成およびオプションのスワッピングRAMやオプションのI/Oデバイスなどの周辺装置間の入出力転送を制御する。

シリアルライザ120は、図2のブロック・ダイアグラムに一層詳細に示すとおりである。図においてシリアルライザはその入力信号をコントロールプロセッサー110から受け取り、また、コントロールプロセッサー110はその入力信号を前置型プロセッサー102から受け取る。

前置型プロセッサー102は、問題空間次元150ならびに追加的な初期設定情報をコントロールプロセッサー110へ伝送することにより、システムを初期設定する。コントロールプロセッサー110は、シリアルライザ120内にレジスターをロードして、各プロセッサー・セルにともなう問題ノードの写像156をシリアルライザに記述することにより、この情報を応答する。アドレス再配置回路162は写像156を受け取り、そして、前置型プロセッサー102からの

後続の情報を処理する間に、それを用いて、仮想アドレスベース164と追隔アドレスベース165の値を生成させる。

つぎに前置型プロセッサー102は、コントロールプロセッサー110にコマンドを送ってシステムを制御し始める。このコマンドは操作符号154とオペランドデータ152からなる。オペランドビット・アドレスジェネレーター168は、オペランドアドレスデータ158をコントロールプロセッサー110から受け取り、そしてプロセッサー・アレイによって処理されるべきオペランドビットの仮想アドレスを、信号経路170を通じてナノ命令ジェネレーター166に提供する。ナノ命令ジェネレーター166の累計回路172は、仮想アドレス170の各々を、各プロセッサー・セルにおいて現在のオペランドビットについて逐行されつつある操作に応じて、仮想アドレスベース164または追隔アドレスベース165のいずれかで加算し、処理されるべきオペランドビットのプロセッサー・セルメモリー・アドレス174を形成する。

コントロールプロセッサーはまた、操作符号154とオペランドデータ152を復号してマイクロプログラム制御信号160を生成させ、そしてそれをマイクロプログラム・コントロールユニット176へ送る。マイクロプログラム・コントロールユニット176は、これらの信号に応じてナノ命令テーブルアドレス178を発生し、そしてそれを用いてナノ命令メモリー124をアドレスし、ナノ命令テンプレート180を得、ついでそれをナノ命令ジェネレーター166へ送る。マイクロプログラム・コントロールユニット176はまた、オペランドビットのアドレスジェネレーター168、アドレス再配置回路162、およびナノ命令ジェネレーター166を、それ自身の操作と同期させるための制御情報を生成する。ナノ命令ジェネレーター166は、仮想アドレスベース164または追隔アドレスベース165と仮想アドレス170の和としてそれが形成する各々の物理アドレス174を、対応するナノ命令テンプレート180のアドレスビットと加算し、それぞれのナノ命令182を生成する。それぞれのナノ命令182は、各プロセッサー・セルのメモリーにおける1つのビットの物理アドレスと、各プロセッサー・セルのそのビットについて逐行されるべき操作を記述する制御ビット、の両方を含む。ナノ命令ジェネレーター166は、それが生成せる各々の

ナノ命令182を、アレイの全てのプロセッサー・セルへ流す。

前置型プロセッサー102は、ワード・オリエンテッド型コマンドをコントロールプロセッサーへ送ることによって、コントロールプロセッサー110と連絡する。コントロールプロセッサー110はかかるコマンドを判定し、そしてそれらを1統きのマクロ命令としてリフォーマットする。かかるコントロールプロセッサー110の一例は、図3のブロック・ダイアグラムに一層詳細に示すとおりであるが、マイクロプロセッサー180がこれに含まれる。このマイクロプロセッサー180はADM-29000プロセッサーであって、コントロールプロセッサー・プログラムPROMとRAM112の制御のもとに動作する。コントロールプロセッサーのデータRAM114は、一時的データとプロセッサー変数記憶をマイクロプロセッサー180に提供する。

ある与えられたユーザー・プログラムを、変更せずに各種サイズのプロセッサー・アレイのランに使えるようにするために、応用プログラムは、仮想処理のためのメモリーの割り付けを要求されなければならない。それゆえ、実際、応用プログラムは、ある与えられたプロセッサー・アレイにおける物理プロセッサー・セル数の束縛から切り離される。そのかわりに、応用プログラムは単に、希望する問題空間のX、YおよびZ次元のみを確定する。つぎにコントロールプロセッサーは、プロセッサー・アレイのサイズを測定し、そして問題空間の与えられた次元とプロセッサー・アレイの各エッジに沿ってのプロセッサーの数から、各物理プロセッサーに割り振られるべき1組の仮想プロセッサーを計算する。この1組の仮想プロセッサーを、物理プロセッサー・セルの領域と称する。これらの領域次元は、好みの実施例におけるように多次元であっても差し支えなく、次によって得られる。

$X_s = X/s_x, Y_s = Y/s_y, \text{および} Z_s = Z/s_z$
ここに X_s, Y_s および Z_s は各物理プロセッサー・セルの領域の次元、 X, Y および Z は問題空間の次元、また s_x, s_y および s_z は物理プロセッサーにおけるアレイの次元である。

シリアルライザは、それがコントロールプロセッサーから入手することが可能な未処理の入力を有するときは、それぞれのナノ命令サイクルに1回だけ、ア

特表平5-509184 (4)

ロセッサー・アレイの各プロセッサーセルに、有用なナノ命令を流すべきである。シリアルライザーは、プロセッサー・コントローラーから受け取った各マクロ命令に対して1つのナノ命令シーケンスを生成するだけでなく、また、必要に応じて各ナノ命令についてアドレスを変更したうえで、既にそれぞれの物理プロセッサーセルにマッピングされている各仮想プロセッサーについてそのナノ命令シーケンスを反復しなければならない。アドレス・命令ジェネレーターはまた、2つの仮想プロセッサーが相互に通信し合わなければならないときは、複数の物理プロセッサーセルが関与する場合があることも考慮しなければならない。

したがって、コントロールプロセッサーから受け取るある与えられたマクロ命令に対応する各ナノ命令シーケンスを生成させるためには、本発明のアドレス・命令ジェネレーターは、それが生成される各ナノ命令に含めるためのオペランドの物理アドレスを計算し、また、つぎのサイクルでどのマイクロコード命令を実行するか、したがってまた、どのナノ命令を生成させるかを決定するための条件を評価しなければならない。つぎにシリアルライザーは、ある1つの物理プロセッサーセルの領域にあるそれぞれの仮想プロセッサーについて、該当する変更を施したうえで、それが生成される各ナノ命令シーケンスを反復しなければならない。

本発明のアドレス・命令ジェネレーター120は、dオペランドの場合について図4に示すよろ、5つのオペランドアドレスジェネレーターを有している。マクロ命令オペランドd₀、d₁およびd₂に対しては3つのアドレスユニットがあり、一方、一時的変数hおよびlに対しては2つのアドレスユニットがある。それぞれのオペランドアドレスジェネレーター168には、2つの16ビット・ハイアドレスレジスター181と182、2つの16ビット・ローアドレスレジスター183と184、および2つの1ビット初期設定フラグレジスター185と186が含まれる。これらのレジスターのうちの第1のレジスターはコントロールプロセッサーにより直接的にロードされる。一方、第2のレジスターはシリアルライザーにより第1のレジスターからロードされ、これによりシリアルライザーは、コントロールプロセッサーが新たなマクロ命令を提供しているあいだに、1つのマクロ命令を処理することができる。このほかに、3つのカウンターすなわち

16ビット・ハイアドレスカウンター187、16ビット位置アドレスカウンター188、および16ビット・ローアドレスカウンター189が含まれる。

ハイアドレスレジスター181と182のそれぞれは、カウンター186と同じく、ある1つのオペランドの最高位ビット(MSB)の仮想アドレスを含み、一方、ローアドレスレジスター183と184のそれぞれは、カウンター189と同じく、対応するオペランドの最低位ビット LSBの仮想アドレスを保持する。初期設定フラグ185と186は、それぞれ、当初にハイアドレスレジスターの内容がロードされるべき各ビット位置アドレスカウンター188に対して設定され、あるいは、当初そのビット位置アドレスカウンターにロー・アドカウンターの内容がロードされるべきであれば、クリアされる。ラン信号191はシリアルライザーがマイクロコードを実行しているときに設定され、そしてd₀h₀信号190は、dカウンター188をd₀カウンター187からロードするマイクロ命令を実行しているときに設定される。

図4に示す5つのシリアルライザーアドレスユニットのレジスターとカウンターに加えて、シリアルライザーは、図5のレジスター202を経由してコントロールプロセッサーから情報を受け取る。マイクロプログラムアドレスレジスター203と204、およびマイクロプログラムアドレスカウンター206は、各シリアルライザーサイクルの終端でシリアルライザーがマイクロコードの実行を開始するときにレジスター204からロードされ、そしてシリアルライザーがランしているあいだは、マイクロプログラムによって生成せられるプランチアドレスからロードされる。各シリアルライザーサイクルの終端でシリアルライザーがマイクロプログラムメモリー・アドレスレジスター206をロードするときは、シリアルライザーはまた、アドレスレジスター206にロードされつつあるアドレスで、図1のコントロールプロセッサーデータメモリー114からデータワードを読み取る。このデータは、それぞれ64ビットワードの前段オペランドレジスターF0およびF1(それぞれ210および212)に読み込まれる。「オペランドアドレスユニットからのFビットアドレスカウンターのローオーダー6ビット214は、64:1マルチブレックサー216を経由して、前段並列変数の現行ビット216となるように、F1レジスターに1

つのビットを選択する。

オペランドアドレスユニット168のタイミングは図6に示す通りである。ここに示すは、各物理プロセッサーセルの領域内における仮想プロセッサーの数である。シリアルライザーはコントロールプロセッサーから受け取るそれぞれのマクロ命令に対して該当するマイクロコードを1回実行し、それぞれの仮想プロセッサーについて1つづつバスを行なう。符号192などで示した破線はサイクル間に選んだ境界であって、この時点ではシリアルライザーのレジスターとカウンターにデータをロードすることができる、すなわちインクレメントが可能である。バス193などの各仮想プロセッサー・バスには1クロックサイクル194が先行し、そしてこのクロックサイクルの間にシリアルライザーは1つのデフォルト・ナノ命令を発生させ、そして次のバスのためのワーキングレジスターとカウンターを初期設定する。

コントロールプロセッサーは、オペランドアドレスユニットのシリアルライザーレジスターの第1セットd₀h₀、d₁l₀およびd₂f₀に、シリアルライザーがマクロ命令i-1(196)のための最初の仮想プロセッサー・バス195を開始した時点から同じくシリアルライザーがマクロ命令i-1のための最後のバスを終了する1クロックサイクル前の時点(197)までの間に、マクロ命令iのための該当する値をロードする。シリアルライザーは、それが時点198で示すマクロ命令i-1の最後の仮想プロセッサー・バスを終了するときに、これらの値を、バイブルインレジスターの第2のセットd₀h₁、d₁l₁およびd₂f₁に複写する。ついでシリアルライザーは、マクロ命令iのための各仮想プロセッサー・バスに先行する各サイクル199の終端において、ハイアドレスレジスターとロー・アドレスレジスター(d₀h₁とd₁l₁)から、3つのカウンター-d₀l₁、d₁、およびd₂をロードする。各仮想プロセッサー・バスの残りのサイクルの間、シリアルライザーは、マクロ命令のための選択されたマイクロコードシーケンスを実行しかつマイクロコードの指令に従って各仮想プロセッサーのためのアドレスカウンターを修正することにより、マクロ命令iのためのナノ命令シーケンスを発生させる。

バス193などの各仮想プロセッサー・バスは、複数のサイクル200からなる。またシリアルライザーは、各サイクルのあいだに1つの存続ナノ命令を発生さ

せるように設計される。

シリアルライザーは、各シリアルライザークロックサイクル199の終端で、各オペランドアドレスユニットの3つのカウンター187～189の内容を、インクレメントならびにディクレメントすることができる。ビット位置アドレスカウンター188などのカウンターをインクレメントならびにディクレメントする能力は、1つのオペランドのすべてのビット位置を順々にアドレスするために必要な。コントロールプロセッサーから受け取ったマクロ命令の結果として実行されるシリアルライザーマイクロコードは、カウンターがインクレメントされるべきかディクレメントされるべきかを指令する。

各物理プロセッサーのメモリーは、図7Aのメモリーマップ220に示すように区分される。このメモリーマップには、プロセッサー・アレイ内の物理プロセッサー位置を記述するフラグを有する物理フラグ・セグメント222と、一時メモリー記憶領域224が含まれる。残りのメモリーは、長さがそれぞれVビットのX、Y、Z、偏の尋ねし仮想プロセッサー・メモリー領域226に区分される。

それぞれの物理プロセッサー・セルは、各マクロ命令を、その領域にある各仮想プロセッサーごとに1回づき、全部でX、Y、Z、回実行しなければならない。図7Bのメモリーマップ230は、長さVビットの、1つの仮想プロセッサー・メモリー226のメモリーマッピングを示す。マクロ命令間の、与えられたある1つの仮想プロセッサー226の状態は、全ての変数232の値、そのヒープ234とスタック236の状態、およびそのsフラグ238の値によって記述される。ナノ命令間の仮想プロセッサーの状態にはまた、マクロ命令を完成するのに必要な図7Aの一時記憶領域224の値と、物理プロセッサーの各レジスターの状態が含まれる。

1つの仮想処理空間を設定するために、コントロールプロセッサーは、図8の4つのプロセッサー-x0、y0、z0およびz0(240～246)を以下のようにロードする。ただし、Vは1仮想プロセッサーのメモリーサイズである。

$$x0 = X, Y, Z, V$$

$$y0 = Y, Z, V$$

$$z0 = Z, V$$

特表平5-509184 (5)

ス信号278が得られ、そしてそのあと、この仮想ベース信号は仮想アドレスに加算されて、アレイの全てのプロセッサーセルに物理アドレスを生成させる。

図10の追隔ベースジェネレーション回路280には3つのモジューロアッダ-282、284および286が含まれ、そしてこれらが1つづく、座標X、YおよびZに対応する。これらのモジューロアッダはそれぞれ、総和出力とオーバフロー出力を生成させる。総和出力は次のいずれかに等しい。(a)ベース+インクレメントトリミットならば、ベース+インクレメント。(b)ベース+インクレメントエリミットならば、ベース+インクレメント-リミット。オーバーフロー信号は、ベース+インクレメントエリミットならば正規出力に等しく、ベース+インクレメントトリミットならばこの入力信号の補数に等しい。

インターブロセッサー通信マクロ命令を実現するマイクロコードは、データをX、YおよびZ方向に移動させる物理プロセッサーの数をカウントするために、それぞれF、TおよびUを使用する。各座標でデータを移動させなければならぬ物理プロセッサーの数を記述するため、シリアルライザは、F、TおよびUオペランドについてオペランドアドレスユニットを以下のように初期設定する。

$$f f 0 = \begin{cases} 0, & \Delta x < 0 \\ 1, & \Delta x \geq 0 \end{cases}$$

$$t f 0 = \begin{cases} 0, & \Delta y < 0 \\ 1, & \Delta y \geq 0 \end{cases}$$

$$u f 0 = \begin{cases} 0, & \Delta z < 0 \\ 1, & \Delta z \geq 0 \end{cases}$$

$$f l 0 = t l 0 = u l 0 = 1$$

$$f h 0 = \begin{cases} (-1 - \Delta x) / x, & \Delta x < 0 \\ (\Delta x / x), & \Delta x \geq 0 \end{cases}$$

$$t h 0 = \begin{cases} (-1 - \Delta y) / y, & \Delta y < 0 \\ (\Delta y / y), & \Delta y \geq 0 \end{cases}$$

$$u h 0 = \begin{cases} (-1 - \Delta z) / z, & \Delta z < 0 \\ (\Delta z / z), & \Delta z \geq 0 \end{cases}$$

それぞれのオペランドアドレスレジスターの各々のハイアドレスカウンターは、その座標のモジューロアッダがオーバフローしないときはいつでも、対応する座標の物理アレイを通してデータを移動させねばならない距離を記述するように設定する。関係する座標のためのモジューロアッダがオーバフローしないときはいつでも、データは、もう1つの物理プロセッサーを通して移動する。データを正座標の方向に移動させる場合には、それぞれのアドレスユニットのビット位置アドレスカウンターは、ハイアドレスカウンターに初期設定し、そしてロードアドレスカウンターにカウントダウンする。一方、データを負座標の方向に移動させる場合には、ビットアドレスカウンターは、ロードアドレスカウンターに初期設定し、そしてハイアドレスカウンターにカウントアップする。出力信号x+d x、y+d y、およびz+d z (288~292)は、アッダ-294によって加算され、追隔ベース信号206を生ずる。

各仮想処理バスの開始点において、図2のマイクロプログラム・コントローラユニット178は、オーバフロービットx0、y0およびz0を、それぞれ、F、TおよびUアドレスユニットのハイビット位置アドレスカウンター187(図4)に加算する。さらにまた、データを正の方向に移動させるべき各座標について、対応するオーバフロービットx0、y0およびz0は図4の対応する位置アドレスカウンター188にも加算される。このようにして、F、TおよびUアドレスユニットの各々は、それぞれの仮想処理バスのあいだの物理プロセッサーの移動数をカウントするように、正しく初期設定される。

例として、領域次元4、1、1を有する物理プロセッサー300~306のための、 $a = [-1, 0, 0]$ bの形の、プロセッサー間通信演算を図11Aおよび図11Bに示す。仮想処理を開始させた結果として、コントロールプロセッサーは、各物理プロセッサーの領域次元を設定するため、以下に示すようにs

0、y0およびz0をすでにロードしている。ただし、Vは各仮想プロセッサーに割り付けられたメモリーピットの数である。

$$x 0 = 4 V$$

$$y 0 = V$$

$$z 0 = V$$

$$s 0 = V$$

この例の場合には、 $\Delta X = -1$ 、 $\Delta Y = 0$ 、および $\Delta Z = 0$ である。

図1Bの表は、各仮想プロセッサーにおけるこの演算のための、キーレジスターと信号の値を示す。バス1のあいだ、仮想ベースコンバーティ回路のxレジスターはクリアされており、したがって0の仮想ベースを生成する。追隔ベースジェネレーション回路のモジューロアッダ回路は、オーバフロー信号x0を発生し、したがってfおよびfhのレジスターに1が加算され、これにより始物理プロセッサー(たとえば300)が先物理プロセッサー(たとえば306)から3プロセッサーだけ離れていることが示される。追隔ベース(これは原始オペランドを再位置する)はVである。一方、仮想ベース(これは先物理プロセッサー308から、物理プロセッサー306の領域内にある仮想プロセッサー310へのデータ移動に対応する)。第2の仮想処理バスのあいだに、xレジスターは0からVへインクレメントされ、原始または追隔ベース0、ならびに先または仮想ベースVをもたらす。第4のバスではオーバフロービットx0は0になり、このためfおよびfhのレジスターは、バスの開始点でインクレメントされない。つぎにデータは、2つの物理プロセッサーのみを通って、物理プロセッサー302から物理プロセッサー306へ、そしてまた物理プロセッサー300から物理プロセッサー304へ移動する。

図2のナノ命令ジェネレーション回路166の詳細を図12に示す。この回路は、5つのビット位置カウンター-320~328、仮想ベース278、追隔ベース296、およびナノ命令メモリー124に記憶されたナノ命令の表の数種から、ナノ命令を発生させる。マイクロプログラムの割譲のもとで、マクロ命令レジスター330にナノ命令インデックスビット332がロードされ、そしてこれ

うのナノ命令インデックスビットが、ナノ命令メモリー124内の該当するナノ命令テンプレートを指定する1つのナノ命令アドレス334を発生させる。マルチブレクサー336は、信号338の割得のもとに、0、遠隔ベース296または仮想ベース278がアッダ-342によって選択されたビットオペランドアドレス信号340に加算されるべきか否かを指令する。この結果としてアッダ-342から得られる出力信号344は、オペランドデータの物理アドレスである。この物理アドレスはアッダ-346によってナノ命令に加算され、ナノ命令レジスター348に記憶され、そして次のシリアルライザーサイクルの開始時にプロセッサー陣列の各プロセッサーセルに流される。

通常の技術的な熟達をもってなしうる本発明に対する変更および置換は、本発明ならびに以下添付する請求項の範囲内のものであると考える。

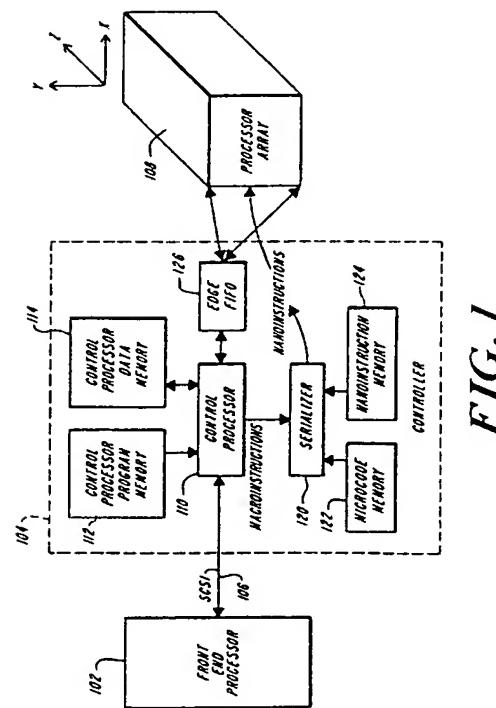


FIG. 1

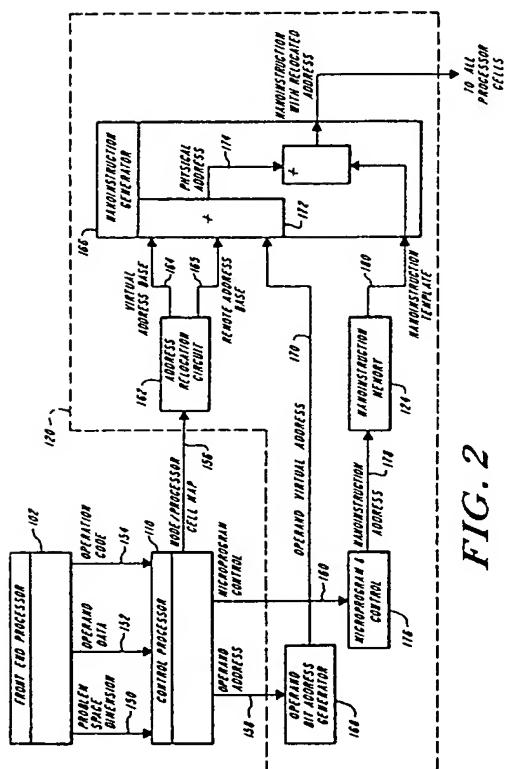


FIG. 2

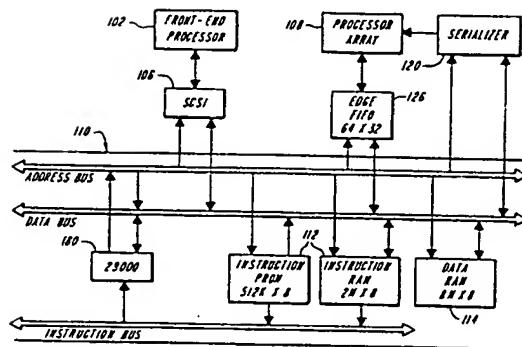
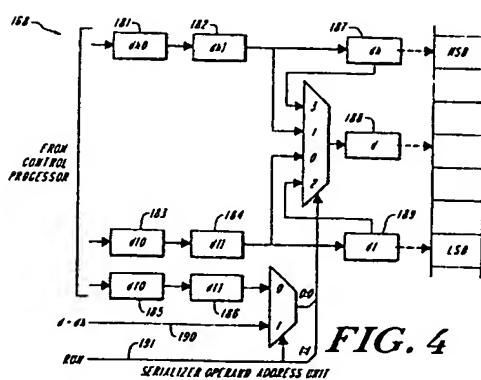


FIG. 3



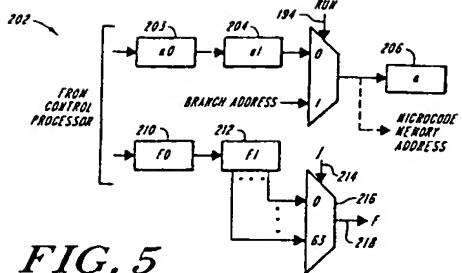


FIG. 5

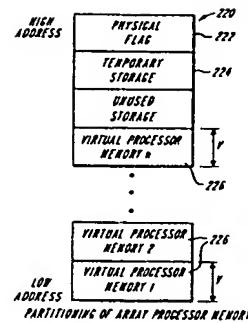


FIG. 7A

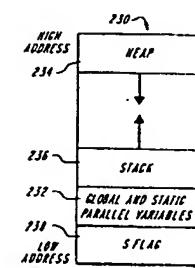


FIG. 7B

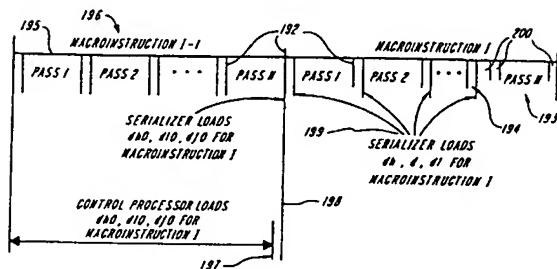


FIG. 6

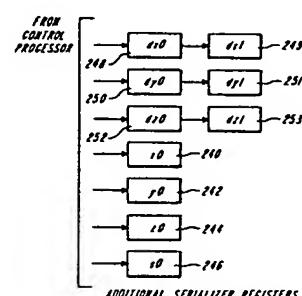


FIG. 8

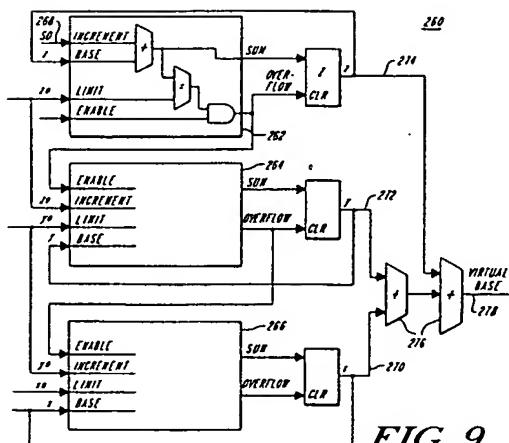


FIG. 9

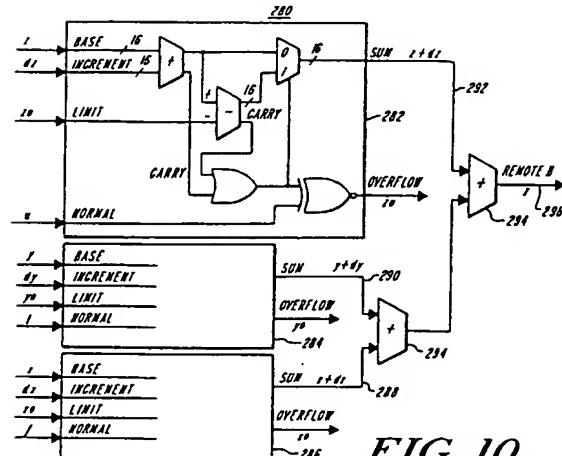


FIG. 10

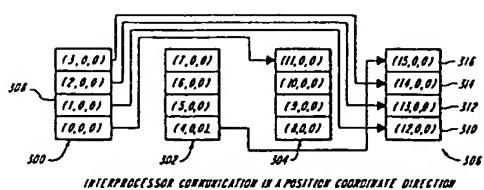


FIG. 11A

I REGISTER	10	10	DESTINATION VIRTUAL BASE	SOURCE REMOTE BASE
PASS 1	0	1	3	0
PASS 2	Y	1	3	Y
PASS 3	ZY	1	3	ZY
PASS 4	ZY	0	2	ZY

FIG. 11B

五

問題空間のノード数より少ない数のプロセッサーセルを有していても差し支えない多次元プロセッサーアレイ(108)などの並列処理アレイにプロセッサ一命令を生成するための、仮想処理アドレス・命令ジェネレーター(120)を含む並列処理システム(100)。この並列処理システムは、各々の物理プロセッサーセルのメモリー(230)をいくつかの等しい部分に分割し、そしてこの分割された部分のそれぞれに問題空間の1つのノードが対応する。つぎに命令ジェネレーターは、与えられた問題空間のそれぞれのノードに対して1統きのプロセッサーセル命令を生成し、そしてこの命令シーケンスのそれについて、該当するアドレス変更がアドレス再配置回路(166)によって与えられる。

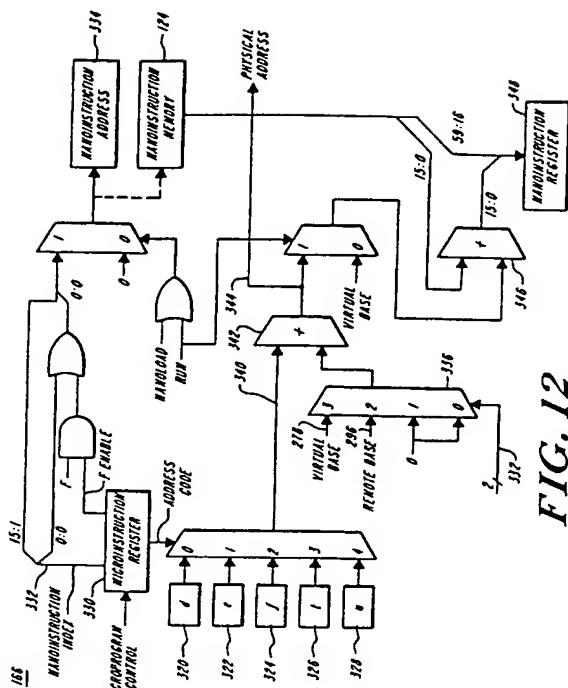


FIG. 12

第1頁の続き

②発明者 リー、ミンーチイ

アメリカ合衆国 27511 ノースカロライナ州 キヤリイ、カレン
コート 126